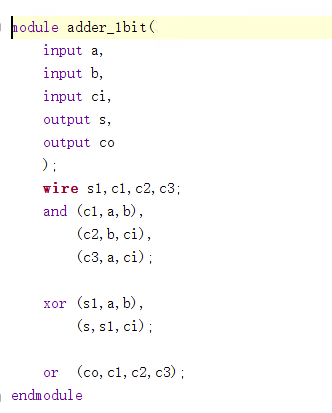
Lab02 实验报告

王正 518021910079

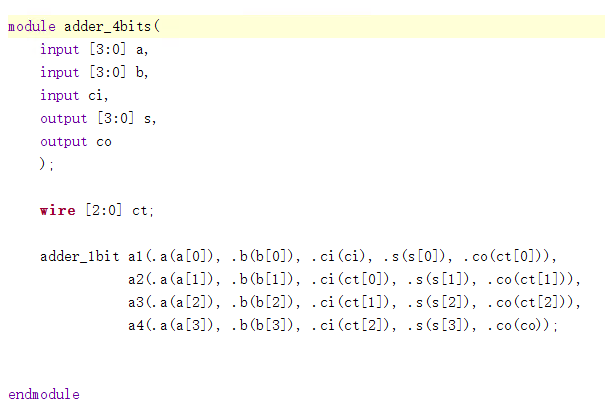
1. 实验名称

FPGA 基础实验：4-bit Adder

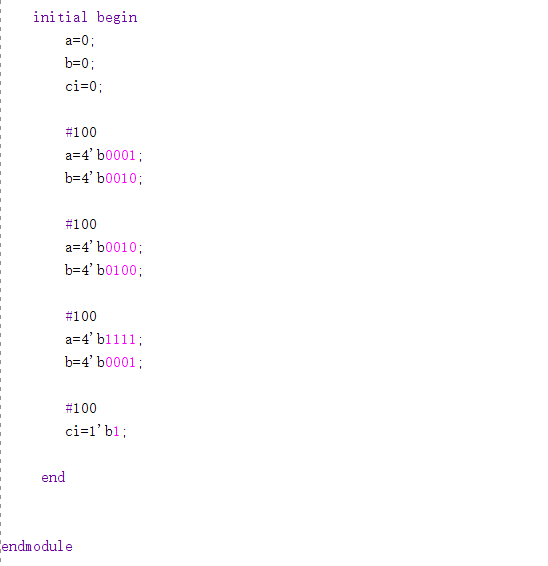
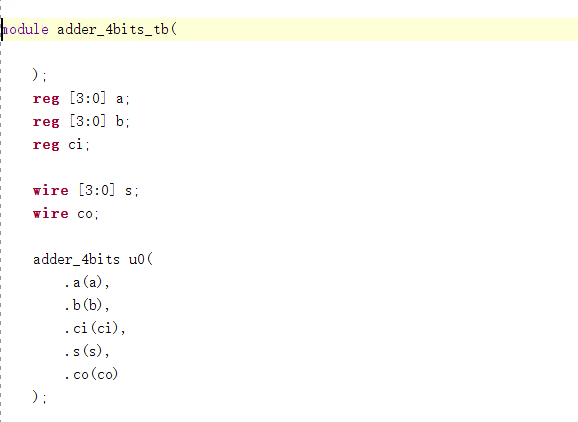
1. 实验目的
2. 熟悉Xilinx逻辑设计工具Vivado的基本操作；
3. 掌握使用VerilogHDL进行简单的逻辑设计;
4. 使用功能仿真;
5. 功能实现
6. 首先实现1位加法器adder\_1bit



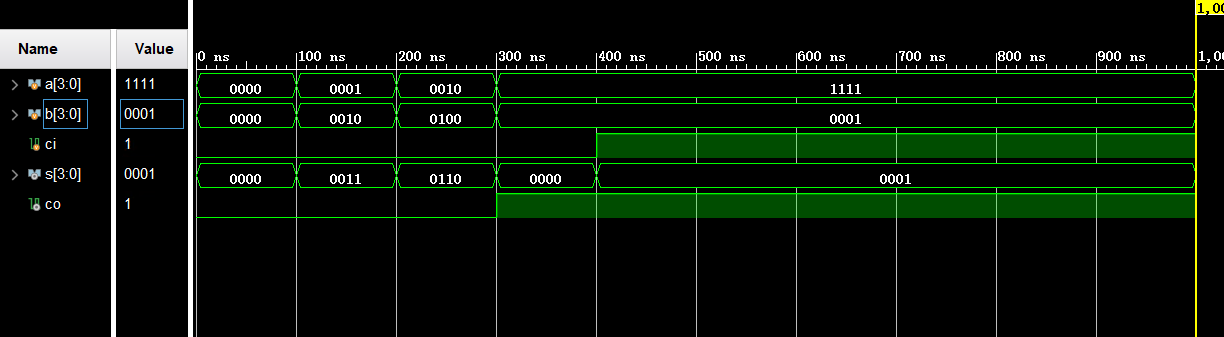
1. 4位加法器的实现：



1. 仿真激励文件：



1. 结果展示



通过观察仿真波形图，可以得出仿真的结果与逻辑功能是一致的，有a + b = s;

1. 心得体会

与Lab01类似，这次实验整体较为顺利，感觉自己使用Vivado更加熟练，对Verilog的语法也更加清楚。最终实现了一个四位加法器。